Notre offre de formation évolue ! Les programmes pour l'année 2027-2028 sont en cours de mise à jour et peuvent encore évoluer. Les programmes de l'année universitaire 2026-2027 restent consultables en cas de besoin.

SCIENCES, TECHNOLOGIES, SANTÉ, INGÉNIERIE

Circuits numériques : conception SystemVerilog pour cible FPGA

Université Grenoble Alpes

Autre durée
4 jours

Composante
Grenoble INP - Département Formation Pro

Présentation

Objectifs

- Comprendre les étapes de conception d'architectures numériques portables pour cible FPGA
- Apprendre une méthodologie de conception VHDL pour cibles FPGA
- Acquérir des compétences en conception VHDL : comprendre l'importance des phases de synthèse des architectures

Nos atouts pédagogiques

Cette formation s'appuie sur les moyens techniques que met à disposition l'école **Grenoble INP - Phelma, UGA**, en particulier pour sa filière SEI « Systèmes Electroniques Intégrés » .

Les intervenants sont des enseignants-chercheurs et chercheurs du laboratoire TIMA, spécialistes reconnus dans le domaine de la conception de circuits et architectures numériques.

Les + de la formation :

- une alternance entre apports théoriques et applications pratiques : 75% de la formation se déroule sous forme pratique en binôme au sein de la plateforme CIME
- plus de la moitié de la formation se déroule sous forme de travaux pratiques avec des études de cas sur ordinateurs équipés d'outils de CAO électronique de simulation et de synthèse*.

La formation s'appuie en particulier sur l'offre FPGA Xilinx

GRENOBLE INP Phelma UGA

CIME nanotech pôle CNFM de Grenoble

Informations non contractuelles.
Dernière mise à jour le 30 juin 2026

Notre offre de formation évolue ! Les programmes pour l'année 2027-2028 sont en cours de mise à jour et peuvent encore évoluer. Les programmes de l'année universitaire 2026-2027 restent consultables en cas de besoin.

Grenoble Alpes

Organisation

Contrôle des connaissances

Quizz d'acquisition des connaissances en début et en fin de formation.

Admission

Conditions d'admission

Pour qui ?
Cette formation s'adresse à des ingénieurs ou techniciens souhaitant implanter des applications sur cibles FPGA.
Pré-requis : notions de logique combinatoire et séquentielle (niveau Bac + 3 ou équivalent)
Effectif : 4 à 12 personnes

Tarifs de la formation continue

3 200 € / personne

Infos pratiques

Contacts

Katia Plentay
04 76 57 45 03
formation-pro.stages@grenoble-inp.fr

En savoir plus

Formulaire d'inscription
https://formation-pro.grenoble-inp.fr/medias/fichier/formulaire-inscription-formations-courtes-ic-for-031_1745573646601-pdf?ID_FICHE=5922&INLINE=FALSE

Fiche formation sur le site de la Formation Pro, Grenoble INP - UGA
https://formation-pro.grenoble-inp.fr/formations-courtes/circuits-numeriques-conception-en-vhdl-pour-cible-fpga#page-presentation

Informations non contractuelles.
Dernière mise à jour le 30 juin 2026

Notre offre de formation évolue ! Les programmes pour l'année 2027-2028 sont en cours de mise à jour et peuvent encore évoluer. Les programmes de l'année universitaire 2026-2027 restent consultables en cas de besoin.

Programme

Organisation

1- Flot de conception

- Méthodologie de conception
- Décomposition modulaire

2- Le langage VHDL pour la synthèse

- Types
- Unités de conception
- Simulation évènementielle
- Instructions séquentielles et concurrentes
- Descriptions structurelles et comportementales
- Les règles de design VHDL pour la synthèse
- Description des machines à états en VHDL
- Librairies IEEE

3- Les composants programmables

- CPLD / FPGA : bases des architectures et de la programmation d’un composant programmable
- Prise en main d'un outil de simulation
- Prise en main d'un outil de synthèse VHDL
- Prise en main d'un outil de prototypage sur FPGA
- Programmation d'une cible FPGA et test

Exemples de notions abordées lors des séances de travaux pratiques :

- approfondissement par des exemples de conception d'architectures VHDL,
- synthèse logique et programmation de FPGA, de Xilinx,
- implantation d’un filtre numérique FIR et test sur carte en environnement réel

Informations non contractuelles.
Dernière mise à jour le 30 juin 2026