

VHDL / VHDL language



Composante
Polytech
Grenoble - INP,
UGA

- > **Langue(s) d'enseignement:** Français
- > **Ouvert aux étudiants en échange:** Oui
- > **Code d'export Apogée:** KAEI9M08

Présentation

Description

Ce cours présente le langage de description de matériel VHDL. Il donne aux étudiants les outils pour appréhender les multiples possibilités offertes par le langage.

À l'issue de cet enseignement, l'étudiant sera capable de :

- Modéliser des systèmes électroniques avec VHDL
- Connaître la synthèse et le jeu d'instructions utilisées en synthèse logique
- Vérifier la théorie par la pratique sur des exemples concrets (simulation)

1. Généralités sur la modélisation et la simulation des systèmes électroniques
2. Généralités sur le langage VHDL
3. Organisation d'un modèle et types de données
4. Styles de description en VHDL : flot de données et structurel
5. Instructions en VHDL : concurrentes et séquentielles
6. Circuits séquentiels et combinatoires
7. Aspects avancés: paquetage, sous-programme, généricité, fonctions de conversion

Heures d'enseignement

VHDL / VHDL language - CM	CM	8h
VHDL / VHDL language - TP	TP	20h

Pré-requis recommandés

- Notions sur les systèmes électroniques
- Notions de programmation
- Connaissance des bases de l'algèbre de Boole
- Notions de circuits combinatoires et séquentiels

Période : Semestre 9

Évaluation initiale / Session principale - Épreuves

Libellé	Nature de l'enseignement	Type d'évaluation	Nature de l'épreuve	Durée (en minutes)	Nombre d'épreuves	Coefficient de l'épreuve	Remarques
						30/100	

Bibliographie

- "1076-2008 - IEEE Standard VHDL Language Reference Manual" par IEEE
- "VHDL - langage, modélisation, synthèse" 2ème édition, par Roland Airiau, Jean-Michel Bergé, Vincent Olive et Jacques Rouillard
- "The Designer's Guide to VHDL" 3rd Edition, Peter J.

Infos pratiques

Lieu(x) ville

› Grenoble

Campus

› Grenoble - Saint-Martin d'Hères

