

VHDL



Composante
Polytech
Grenoble - INP,
UGA

- > **Langue(s) d'enseignement:** Français
- > **Ouvert aux étudiants en échange:** Oui
- > **Code d'export Apogée:** KAI19M18

Présentation

Description

VHDL (mis en commun Master NENT) / VHDL (joint with Master NENT)

Introduction aux concepts essentiels de la spécification, de la modélisation, et de la simulation d'un système logique en VHDL. À la fin du cours, les élèves doivent pouvoir comprendre une description de système numérique décrite en VHDL, et modéliser un circuit au niveau RTL en vue de la synthèse et de l'application des méthodes habituelles de validation.

Introduction to simulation, modelisation, of digital systems. Presentation of the different levels of representation (RTL, behaviora).
Introduction to logic synthesis from a RTL VHDL description

1. Langage VHDL :

- Entité, architecture
- Types de description: description comportementale, structurelle, flot de données
- Description non procédurale: signaux, retards, blocs gardés
- Description procédurale: processus
- Assertions
- Configuration

- Généricité

2. Sémantique de simulation :

- Signaux déclarés et implicites, pilotes des signaux, élaboration d'une description VHDL
- Algorithmes et structures de données d'un simulateur

3. Modélisation en VHDL :

- Du circuit à sa description en VHDL
- Modélisation des contraintes temporelles : temps de pré-positionnement, de maintien.
- Modèles d'automates, de graphes de contrôle.

4. VHDL pour la synthèse :

- Paquetages standard pour la synthèse.
- Sous-ensemble VHDL pour la synthèse: interprétation matérielle d'une description, le sous-ensemble standard IEEE de niveau RTL

1. VHDL Language:

- Entity, architecture
- Description styles: behavioral, structural, data flow
- Non-procedural description: signals, delays, guarded blocks
- Procedural description: process, function, procedure
- Assertions
- Configuration
- Generics

2. Simulation semantics:

- Declared and implicit signals, signal driver, description elaboration
- Simulator algorithm and data structures

3. VHDL modeling:

- From circuit to its VHDL description
- Modeling temporal constraints: set up and hold time.
- Control automaton, control graph model.

4. VHDL for synthesis:

- Standard packages for synthesis
- VHDL synthesis subset: hardware interpretation of a VHDL description, the standard IEEE RTL synthesis subset

Heures d'enseignement

VHDL - CMTD

Cours magistral - Travaux dirigés

47h

Pré-requis recommandés

- Cours "ALGORITHMIQUE ET PROGRAMMATION" (IESE3)
- Cours "MICROPROCESSEURS ET MICROCONTRÔLEURS" (IESE3)
- Notions sur les systèmes logiques
- Anglais

- Programming languages (IESE3)
- Microprocessors and microcontrollers (IESE3)
- Basics on digital systems
- English

Période : Semestre 9

Évaluation initiale / Session principale - Épreuves

Libellé	Nature de l'enseignement	Type d'évaluation	Nature de l'épreuve	Durée (en minutes)	Nombre d'épreuves	Coefficient de l'épreuve	Remarques
						40/100	

Bibliographie

- R. Airiau, J.M. Bergé, V. Olive, J. Rouillard : VHDL, Presses Polytechniques et Universitaires Romandes, 2ème édition, 1998
- R. Airiau, J.M. Bergé, V. Olive : Circuit Synthesis with VHDL, Kluwer Academic Publishers, 2nd print, 1997
- Standard IEEE 1076
- R. Airiau, J.M. Berge, V. Olive, J. Rouillard : VHDL, Presses Polytechniques et Universitaires Romandes, 2nd edition, 1998
- R. Airiau, J.M. Berge, V. Olive : Circuit Synthesis with VHDL, Kluwer Academic Publishers, 2nd print, 1997
- Standard IEEE 1076

Infos pratiques

Lieu(x) ville

› Grenoble

Campus

› Grenoble - Saint-Martin d'Hères