UE Co-conception logicielle/matérielle

Niveau d'étude
Bac +4

ECTS
6 crédits

Composante
UFR Physique, Ingénierie, Terre, Environnement, Mécanique (PhITEM)

Période de l'année
Automne (sept. à dec./janv.)

Diplômes intégrant cet élément

- Master Electronique, énergie électrique, automatique

Langue(s) d'enseignement: Français

Ouvert aux étudiants en échange: Oui

Code d'export Apogée: PAX7SYAU

Présentation

Description

Descriptif : La montée en puissance de calcul et en flexibilité des circuits numériques modernes permet de traiter la complexité et les exigences de performances croissantes des applications, dans les systèmes embarqués et les systèmes de conversion d'énergie.
Cette UE approfondit l'exploitation des circuits dits System on Chip Programmables, appliqués au traitement du signal ou à la commande de systèmes électriques, dans le contexte des Systèmes Embarqués.
Contenu :
• architecture générale des processeurs embarqués,
• augmentation de la performance grâce aux architectures dédiées : FPU, Cache, DMA,
• parallélisme : SIMD, Vector processing,
• Mesure de performance et optimisation de la vitesse d'exécution du code,
• architecture des FPGAs, composants PSoC,
• mise en oeuvre de structures câblées de calcul dédié, sur FPGA (langage VHDL),
• comparaison de performance entre traitement micro-programmé et hardware (FPGA)

Informations non contractuelles.
Dernière mise à jour le 04 novembre 2026

• partitionnement software / hardware du design à l'intérieur d'un PSoC, en vue de l'optimisation de la performance (de calcul et énergétique).

Objectifs

• être capable de choisir une structure de traitement (micro-contrôleur, FPGA, PSoC), adaptée à l'application de traitement du signal ou de commande d'un système électrique,
• être capable de partitionner pertinemment un design PSoC entre la partie hardware (FPGA) et software (processeur)
• être capable de concevoir en langage VHDL une structure hardware dédiée (unité de calcul, interface de communication à haut débit, interface de commande…), et l'implémenter sur le FPGA,
• être capable de concevoir le logiciel exécuté sur la partie processeur du PSoC,
• être capable de gérer la communication entre les structures d'un PSoC (entre FPGA et processeur).

Heures d'enseignement

UE Systèmes embarqués et applications - CM	CM	15h
UE Systèmes embarqués et applications - TP	TP	42h

Pré-requis recommandés

Pré-requis :
• logique de Boole, et électronique numérique de base,
• bases du langage C ou C++, et de programmation d'un micro-contrôleur,
• bases du langage VHDL, et circuits logiques programmables (FPGA) : un module de mise à niveau en autonomie, avec prêt de matériel, est prévu pour les étudiants n'ayant pas acquis ces fondamentaux.

Période : Semestre 7

Infos pratiques

Campus

› Grenoble - Polygone scientifique

Informations non contractuelles.
Dernière mise à jour le 04 novembre 2026