

# Système, processeur, carte / System, processor, card

 Composante  
Polytech  
Grenoble - INP,  
UGA

- > **Langue(s) d'enseignement:** Français
- > **Ouvert aux étudiants en échange:** Oui
- > **Code d'export Apogée:** KARI6M12

## Présentation

### Description

Le but de ce cours est d'acquérir une connaissance générale du fonctionnement bas niveau des ordinateurs. Ce cours s'intéresse à la fois aux aspects matériels (circuits logiques) des ordinateurs ainsi qu'aux aspects bas-niveau des systèmes d'exploitation. Les liens entre la conception du matériel et les services disponibles dans les systèmes d'exploitation sont particulièrement développés.

- \* Architecture interne d'un processeur (bus d'E/S, PC/PO, Entrées/Sorties, ...)
- \* Interruptions (description générale, mise en Âuvre dans les processeurs, influence sur l'architecture des processeurs, ...)
- \* Introduction aux systèmes d'exploitation et aux processus (présentation générale, liens entre les fonctionnalités matériels et les services des systèmes d'exploitation, ...)
- \* Gestion mémoire (segmentation, pagination, ...)
- \* Caches (généralité, types de caches, implémentation matérielle, ...)
- \* Techniques avancées dans les processeurs (pipeline, super-scalaire, exécution dans le désordre, ...)
- \* Compilation, édition de lien, format ELF, relocation

The purpose of this course is to gain a general knowledge of the low-level operation of computers. The course focuses on both the hardware aspects (logical circuits) of computers and the low-level aspects of operating systems. The links between hardware design and the services available in the operating systems are particularly well developed.

- \* Internal processor architecture (I/O bus, OC/OP, Input/Output, ...)
- \* Interruptions (description, implementation in processors, link with processors architecture, ...)

- \* Introduction to operating systems and processes (description, links between hardware features and services of operating systems, ...)
- \* Memory management (segmentation, pagination, ...)
- \* Caches (description, kind of caches, hardware implementation, ...)
- \* Advanced techniques in processors (pipeline, super-scalaire, out-of-order, ...)
- \* Compilation, linking, ELF format, relocation

## Heures d'enseignement

Système, processeur, carte / System, processor, card -  
CMTD

Cours magistral - Travaux dirigés

35,5h

## Pré-requis recommandés

Ce cours suppose la connaissance préalable de l'algèbre booléenne, des circuits logiques classiques (portes logiques, automates, ...), du langage assembleur ARM et quelques rudiments du langage C. Ces pré-requis sont principalement fournis dans l'UE ALM1.

**Période :** Semestre 6

## Évaluation initiale / Session principale - Épreuves

Libellé	Nature de l'enseignement	Type d'évaluation	Nature de l'épreuve	Durée (en minutes)	Nombre d'épreuves	Coefficient de l'épreuve	Remarques
						50/100	

## Compétences visées

- \* processeurs et langage ARM
- \*\* Processeurs ARM - Architecture et langage d'assemblage, Jacques Jorda, Dunod
- \* Synthèse d'un processeur
- \*\* Concevoir son microprocesseur, Jean-Christophe Buisson, Eyrolles / Technosup
- \*\* Architecture et microarchitecture des processeurs, Bernard Goossens, Springer Verlag
- \* Généraliste
- \*\* Architecture de l'ordinateur, Andrew Tanenbaum, Interéditions
- \*\* Architecture des ordinateurs, Philippe Darce, Éd. Gaétan Morin
- \*\* Logique booléenne : implémentations et technologies, Vuibert, Eyrolles/PUF
- \*\* Fonctions booléennes, logiques combinatoires et séquentielle, Vuibert, Eyrolles/PUF
- \*\* Interfaces et périphériques, Vuibert, Eyrolles/PUF
- \*\* Représentation des nombres et codes, Vuibert, Eyrolles/PUF

- \* Circuits combinatoires, automates
- \*\* Architecture des machines et des systèmes d'exploitation, Alain Cazes & Joà «lle Delacroix, Dunod
  
- \* Portes logiques, circuits combinatoires, arithmétique binaire, circuits séquentiels et mémoires
- \*\* Architecture de l'ordinateur, Robert Strandh et Irène Durand, Dunod sciences Sup
- \*\* Computers 1 - Bit après bit, Jean Jacques Mercier, Eyrolles/ellipses
- \*\* Séquences après séquences - Circuits asynchrones et synchrones, Jean Jacques Mercier, Eyrolles/ellipses
- Autres
- \*\* Du binaire au processeur, Emmanuel Mesnard, Eyrolles/Ellipses
- \*\* De la diode au microprocesseur, Patrick Demirdjian, Technip Sciences et Technologies

---

## Bibliographie

- \* processeurs et langage ARM
- \*\* Processeurs ARM - Architecture et langage d'assemblage, Jacques Jorda, Dunod
- \* Synthèse d'un processeur
- \*\* Concevoir son microprocesseur, Jean-Christophe Buisson, Eyrolles / Technosup
- \*\* Architecture et microarchitecture des processeurs, Bernard Goossens, Springer Verlag
- \* Généraliste
- \*\* Architecture de l'ordinateur, Andrew Tannebaum, Interéditions
- \*\* Architecture des ordinateurs, Philippe Darche, Éd. Gaétan Morin
- \*\* Logique booléenne : implémentations et technologies, Vuibert, Eyrolles/PUF
- \*\* Fonctions booléennes, logiques combinatoires et séquentielle, Vuibert, Eyrolles/PUF
- \*\* Interfaces et périphériques, Vuibert, Eyrolles/PUF
- \*\* Représentation des nombres et codes, Vuibert, Eyrolles/PUF
- \* Circuits combinatoires, automates
- \*\* Architecture des machines et des systèmes d'exploitation, Alain Cazes & Joëlle Delacroix, Dunod
- \* Portes logiques, circuits combinatoires, arithmétique binaire, circuits séquentiels et mémoires
- \*\* Architecture de l'ordinateur, Robert Strandh et Irène Durand, Dunod sciences Sup
- \*\* Computers 1 - Bit après bit, Jean Jacques Mercier, Eyrolles/ellipses
- \*\* Séquences après séquences - Circuits asynchrones et synchrones, Jean Jacques Mercier, Eyrolles/ellipses
- \*
- Autres
- \*\* Du binaire au processeur, Emmanuel Mesnard, Eyrolles/Ellipses
- \*\* De la diode au microprocesseur, Patrick Demirdjian, Technip Sciences et Technologies

## Infos pratiques

---

### Lieu(x) ville

- › Grenoble



---

## Campus

› Grenoble - Saint-Martin d'Hères