

# Processeurs et DSP /Processor & DSP



Composante  
Polytech  
Grenoble - INP,  
UGA

- > **Langue(s) d'enseignement:** Français
- > **Ouvert aux étudiants en échange:** Oui
- > **Code d'export Apogée:** KAEI9M07

## Présentation

### Description

Comprendre le lien entre l'architecture d'un processeur, son jeu d'instructions et le processus de compilation  
Application aux architectures RISC et DSP

Maîtriser la programmation bas niveau des processeurs et l'architecture des systèmes intégrés

Understand the link between the architecture and the instruction set

Application to RISC processors

Being comfortable with low level programming and embedded system architecture

Architectures des processeurs avancés : Processeur MIPS ou RISC-V

- Représentation et codage des nombres (virgule fixe et virgule flottante)
- Différence entre architecture RISC et CISC
- Jeu d'instructions
- Programmation efficace (langage C, Assembleur, gestion des registres, appels des fonctions)
- Architecture interne du processeur (parties contrôle et opérative, pipeline)
- Architecture mémoire et caches
- Systèmes multiprocesseurs
- Synchronisation multiprocesseurs (mutex, verrous)

- Introduction à OpenMP pour la programmation de multiprocesseur

- Integer and real number coding: fixed and floating point
- Differences between CISC and RISC processor architecture
- MIPS or RISC-V processor instruction set
- C language towards assembly language
- Efficient register management
- Function calls

## Heures d'enseignement

Processeurs et DSP /Processor & DSP - TP	TP	8h
Processeurs et DSP /Processor & DSP - TD	TD	12h
Processeurs et DSP /Processor & DSP - CM	CM	20h

## Pré-requis recommandés

Cours de base de microprocesseurs - programmation en langage d'assemblage  
 Électronique numérique  
 Connaissance du langage C

Basics in microprocessor, assembly and C languages. Digital electronics

**Période :** Semestre 9

## Évaluation initiale / Session principale - Épreuves

Libellé	Nature de l'enseignement	Type d'évaluation	Nature de l'épreuve	Durée (en minutes)	Nombre d'épreuves	Coefficient de l'épreuve	Remarques
						40/100	

## Bibliographie

- Patterson & Hennessy: Computer Organization & Design the hardware/software interface, 2nd edition, Morgan Kaufmann (en anglais)

- Patterson & Hennessy: Computer Architecture, A quantitative approach, 6th edition, , Morgan Kaufmann (en anglais)

## Infos pratiques

---

Lieu(x) ville

› Grenoble

---

Campus

› Grenoble - Saint-Martin d'Hères